

1/5/1 (Item 1 from file: 351)  
 DIALOG(R)File 351:DERWENT WPI  
 (c) 2000 Derwent Info Ltd. All rts. reserv.

010325951 \*\*Image available\*\*  
 WPI Acc No: 95-227225/199530  
 XRPX Acc No: N95-178129

**Assigning virtual path and virtual channel identifier in ATM network -  
 transferring information values to interface corresp. to connection  
 requirement after reading values stored in memory**

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU )

Inventor: KANG B; LEE C; PARK S; SONG D

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
GB 2285366	A	19950705	GB 945772	A	19940323	H04L-012/56	199530 B
DE 4408118	A1	19950706	DE 4408118	A	19940310	H04L-012/56	199532
FR 2714781	A1	19950707	FR 944465	A	19940414	H04L-012/56	199532
JP 7212370	A	19950811	JP 9490840	A	19940428	H04L-012/28	199541
US 5483525	A	19960109	US 94265849	A	19940627	H04J-003/26	199608
GB 2285366	B	19980715	GB 945772	A	19940323	H04L-012/56	199830

Priority Applications (No Type Date): KR 9331307 A 19931230

Patent Details:

Patent	Kind	Lan	Pg	Filing	Notes	Application	Patent
GB 2285366	A		23				
DE 4408118	A1		11				
JP 7212370	A		7				
US 5483525	A		11				

Abstract (Basic): GB 2285366 A

The method of assigning information placed in a cell header area in response to a call requirement in an ATM system involves setting predetermined values of the information in a memory with a FIFO function. The storage state of the memory is checked when the connection requirement of the call occurs.

The information value is transferred to an interface corresp. to the connection requirement of the call, after reading the information values from the memory in the case that the storage state is not an empty state. The information values are used for releasing the call when a releasing requirement of the call occurs. Pref., the information includes a virtual path and a virtual channel identifier. Congestion processing of the call is performed when the storage state of the memory is an empty state.

USE/ADVANTAGE - Improves processing speed for transferred call in ATM. Seeks for virtual path and virtual channel identifier under free state in ATM without raising burden of call processor.

Dwg.2/4

Title Terms: ASSIGN; VIRTUAL; PATH; VIRTUAL; CHANNEL; IDENTIFY; ATM; NETWORK; TRANSFER; INFORMATION; VALUE; INTERFACE; CORRESPOND; CONNECT; REQUIRE; AFTER; READ; VALUE; STORAGE; MEMORY

Derwent Class: W01

International Patent Class (Main): H04J-003/26; H04L-012/28; H04L-012/56

International Patent Class (Additional): H04Q-003/00; H04Q-011/04

File Segment: EPI

1/5/2 (Item 1 from file: 347)  
 DIALOG(R)File 347:JAPIO  
 (c) 2000 JPO & JAPIO. All rts. reserv.

04919770  
 METHOD AND EQUIPMENT FOR ASSIGNING VIRTUAL ROUTE AND CHANNEL IDENTIFIERS IN ASYNCHRONOUS TRANSMISSION SYSTEM

**THIS PAGE BLANK (USPTO)**

PUB. NO.: 07-212370 JP 7212370 A]  
 PUBLISHED: August 11, 1995 (19950811)  
 INVENTOR(s): SO NORINAGA  
 BOKU JIYOUYON  
 RI SHIYOUNAN  
 KIYOU HEISHIYOU  
 APPLICANT(s): SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or  
 Corporation), KR (Korea) Republic of  
 APPL. NO.: 06-090840 [JP 9490840]  
 FILED: April 28, 1994 (19940428)  
 PRIORITY: 9331307 [KR 9331307], KR (Korea) Republic of, December 30,  
 1993 (19931230)  
 INTL CLASS: [6] H04L-012/28; H04Q-003/00  
 JAPIO CLASS: 44.3 (COMMUNICATION -- Telegraphy); 44.4 (COMMUNICATION --  
 Telephone)

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-212370

(43)公開日 平成7年(1995)8月11日

(51)Int.Cl.<sup>6</sup>

H 0 4 L 12/28

H 0 4 Q 3/00

識別記号

庁内整理番号

F I

技術表示箇所

8732-5K

H 0 4 L 11/ 20

E

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21)出願番号 特願平6-90840

(22)出願日 平成6年(1994)4月28日

(31)優先権主張番号 1 9 9 3 P 3 1 3 0 7

(32)優先日 1993年12月30日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 宋 徳永

大韓民国ソウル特別市蘆原区中溪洞435番

地1号中溪2次アパート203棟802号

(72)発明者 朴 城▲よん▼

大韓民国ソウル特別市松坡区可樂洞29番地

5号

(72)発明者 李 鍾南

大韓民国ソウル特別市江南区逸院洞626番

地三星アパート2棟502号

(74)代理人 弁理士 高月 猛

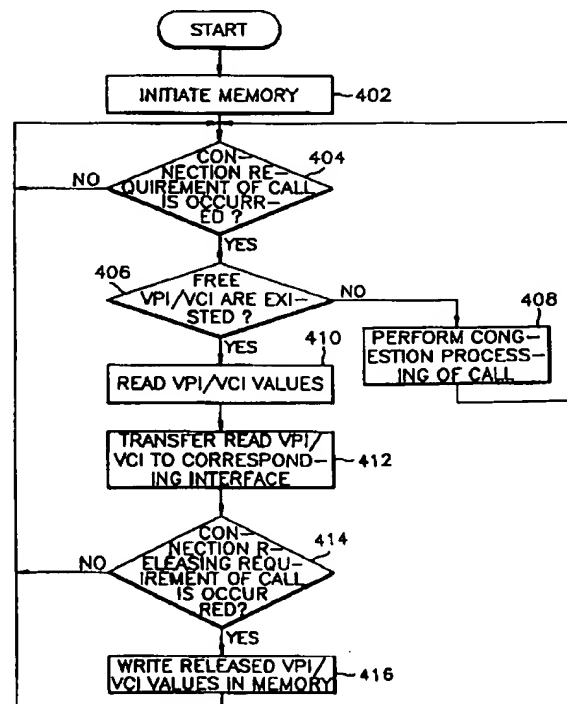
最終頁に続く

(54)【発明の名称】 非同期伝送システムにおける仮想経路及び仮想チャンネル識別子の割当方法及び装置

(57)【要約】

【目的】 非同期伝送システムで、仮想経路及び仮想チャンネル識別子の割当を呼処理部の負担を増やすことなく高速処理できる方法を提供する。

【構成】 ステップ402でFIFOメモリにVPI及びVCIを含んだヘッダー情報をセッティングする。ステップ404で呼の接続要求を感じてステップ406を行う。ステップ406でメモリに現時点で記憶されているヘッダー情報があるか検査し、フリー状態のVPI及びVCIの有無を調べる。メモリにヘッダー情報があればステップ410、なければステップ408を行う。ステップ408では呼のふくそう処理を行い、ステップ410ではヘッダー情報を読み出す。読み出されたヘッダー情報はステップ412で対応するインタフェース部へ伝送される。そしてステップ414で呼の解除要求を感じし、ステップ416で解除要求に応じてその呼に使用されていたヘッダー情報をメモリに書込む。FIFOメモリの先入れ先出し機能を用いたことで、フリー状態のヘッダー情報を順番に探していく動作を省いて高速に割当を行える。



## 【特許請求の範囲】

【請求項 1】 非同期伝送システムにおけるセル内のヘッダー領域に位置するヘッダー情報を呼の接続要求に回答して割当てするための割当方法において、先入れ先出し機能を有したメモリにヘッダー情報をセッティングする段階と、呼の接続要求が発生したときに前記メモリの記憶状態を検査する段階と、前記メモリの記憶状態が空の状態でない場合に該メモリに記憶されているヘッダー情報を読み出して接続要求に対応するインタフェースに伝送する段階と、呼の解除要求が発生したときにその解除要求された呼に使用されていたヘッダー情報を前記メモリに記憶する段階と、を少なくとも含むことを特徴とする割当方法。

【請求項 2】 ヘッダー情報が仮想経路識別子及び仮想チャンネル識別子を含んでいる請求項 1 記載の割当方法。

【請求項 3】 メモリの記憶状態が空の状態であるときに呼のふくそう処理を遂行する段階を更に含む請求項 2 記載の方法。

【請求項 4】 ATM 交換機におけるセル内のヘッダー領域に位置するヘッダー情報を入力される呼の接続要求に回答して割当てするための割当方法において、ヘッダー情報を FIFO メモリにセッティングする段階と、呼の接続要求が発生したときに FIFO メモリの記憶容量を検査する段階と、FIFO メモリにヘッダー情報が記憶されている場合に該ヘッダー情報を読み出して接続要求に対応する信号伝送部に送る段階と、呼の解除要求が発生したときにその解除要求された呼に使用されていたヘッダー情報を FIFO メモリに書込む段階と、を少なくとも含むことを特徴とする割当方法。

【請求項 5】 ヘッダー情報が ATM 方式で 사용되는仮想経路識別子及び仮想チャンネル識別子を含んでいる請求項 4 記載の割当方法。

【請求項 6】 ATM 交換機におけるセル内のヘッダー領域に位置するヘッダー情報を呼の接続要求に対応して割当てするための割当装置において、ヘッダー情報を書込制御信号に回答して記憶すると共に読出制御信号に回答して読出す先入れ先出し機能を有するメモリと、このメモリの入力端及び出力端にそれぞれ接続され、与えられるクロックに回答してヘッダー情報をラッチするためのラッチ部と、ATM 交換機内のインタフェース部と連絡し、インタフェース部からの呼の接続要求に回答して前記メモリの記憶状態を検査した後、前記クロック及び読出制御信号が発生すると共に前記メモリから読出されたヘッダー情報をインタフェース部に伝送し、また呼の解除要求に回答

して前記クロック及び書込制御信号を発生すると共に解除要求された呼に使用されていたヘッダー情報を前記メモリに送る呼制御部と、を備えることを特徴とする割当装置。

【請求項 7】 ヘッダー情報が ATM 交換機で 사용되는仮想経路識別子及び仮想チャンネル識別子を含んでいる請求項 6 記載の割当装置。

【請求項 8】 非同期伝送システムで発生された呼に対し仮想経路及び仮想チャンネルの識別子を割当てするための割当方法において、

FIFO 型のメモリを用いて識別子を記憶するようにし、呼の接続要求が発生した時点でメモリに記憶された識別子があればこれを発生された呼に対して割当てると共に、呼の解除要求が発生した時点でその呼に対して割当てられていた識別子をメモリに記憶させるようにしたことを特徴とする割当方法。

【請求項 9】 呼の接続要求が発生した時点でメモリに記憶された識別子がない場合にふくそう処理を行うようにした請求項 8 記載の割当方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、情報の非同期伝送 (Asynchronous Transfer Mode : ATM) の分野に関するもので、特に、ATM システムにおける仮想経路 (Virtual Path) 及び仮想チャンネル (Virtual Channel) 識別子を割当て方法及び装置に関するものである。

## 【0002】

【従来の技術】 一般に、ATM 方式は、固定された長さのペケット (packet) を使用するペケット交換技術に対する標準として用いられており、簡単なペケット処理で高速・多様な情報処理を行うのに最適な方式として知られている。この方式は、固定された帯域を有するチャンネルを使用して加入者の情報を伝送する同期式伝送方式に比べ、回線交換方式とペケット交換方式に有利な面を共にもっているため、広帯域総合サービスディジタル網 (B-ISDN) の通信方式に採用されている。

【0003】 ATM 方式と同期式伝送方式とは、ディジタルフォーマット内に情報を伝送し、そして伝送流 (transfer stream) に多数のチャンネルを提供して支援する機能の面では互いに類似する部分をもっている。しかしながら、これらは情報チャンネルを割当てて識別する方法に重要な相違点をもっている。

【0004】 すなわち、同期式伝送方式では、固定されたチャンネルを通じて伝送しようとする情報を割当て、そしてこの割当に対する識別をフレームパターンの相対的な位置に従って行う。したがって、この方式によれば、伝送する情報がない場合でもその帯域のチャンネルを割当てつづけることになるので、帯域の使用効率の面で非効率的である。

【0005】 一方、ATM 方式においては、伝送する情

報が発生した場合にのみチャンネルを割当てようになっている。したがって、割当てられていないチャンネルを別の加入者の情報伝送に使用できるので、効率的なチャンネル管理を行える。ATM方式の情報チャンネル識別は、各セル (cell) のヘッダー内に位置した仮想経路及び仮想チャンネル識別子 (Virtual Path Identifier & Virtual Channel Identifier: VPI & VCI) により実行される。このようなATM方式のチャンネル識別は、多重化、逆多重化、そしてデジタル情報交換などに非常に有利なため、広帯域通信網の各要素のコスト低減に向いており、また、帯域幅の分配に対して柔軟性を有している。

【0006】ATM方式を使用する通信システムや交換機において、加入者から呼の接続要求がある度に、システムあるいは交換機内部に配置された呼処理部が各セルにVPI及びVCIを割当てなければならない。このVPI及びVCIの割当は、予め決められた値 (又は番号) を不揮発性メモリなどに記憶しておき、加入者から接続要求がある度にVPI及びVCIの値を順番に読出して割当の行われていないものを探すことによって実行される。そして、セルのヘッダー領域にVPI及びVCIが割当てられた呼は、伝送チャンネルを通じて伝送される。

【0007】受信側では、受信されたVPI及びVCIの値をヘッダー変換用テーブルメモリを用いて分析し、送信側からの呼に対するルート (route) を処理する。このVPI及びVCIを含んだヘッダー変換用テーブルメモリの容量を減少させるための方法及び装置について、米国特許第5, 119, 369号“PACKET SWITCH COMMUNICATION NETWORK USING PACKET HAVING VIRTUAL CHANNEL IDENTIFIER”に開示されている。

【0008】以上のようなATM方式における通常のVPI及びVCIの順次割当は呼処理部にとって負担となる。すなわち、呼処理部は、呼の接続要求がある度に常に現在使用していないVPI及びVCIの値を探す必要がある。勿論、割当動作の初期には、呼の接続要求に対応してVPI及びVCIの値を順番に指定することに特に煩雑性はない。しかしながら、使用の範囲内にあるVPI及びVCIの値を始めから終わりまですべて割当てた後には、どの値をもったVPI及びVCIがフリーの状態にあるかを検査しなければならない。具体的には、CCITTの勧告I. 361に従うと、ATM方式においてセルヘッダー内に位置したVPI及びVCIの使用領域は、UNI (User Network Interface) の場合に24ビットで、NNI (Network Node Interface) の場合には28ビットであるので、呼処理部は、フリーの状態にあるVPI及びVCIの値を探すために最大でそれぞれ $2^{24}-1$ 、 $2^{28}-1$ 回の検査を遂行しなければならない。このような作業が呼処理部にとって負担となり、呼の接続速度に支障を与える。

【0009】このように、通常のATM方式におけるVPI及びVCIの順次割当による呼処理部の負担が大きくなってきており、呼処理速度の向上に芳しくない要因となっている。

【0010】

【発明が解決しようとする課題】したがって本発明の目的は、上記のような問題点を解消できるように改善されたVPI及びVCIの割当方法及び装置を提供することにある。また、本発明の他の目的は、ATM方式において伝送される呼の処理速度を向上させることのできるVPI及びVCIの割当方法及び装置を提供することにある。さらに、本発明のまた他の目的は、非同期伝送システムにおいて、フリー状態にある仮想経路及び仮想チャンネル識別子の高速探索を呼処理部の負担を増加させることなく行えるような方法及び装置を提供することにある。

【0011】

【課題を解決するための手段】このような目的を達成するために本発明は、非同期伝送システムにおいてセル内のヘッダー領域に位置したヘッダー情報を割当て方法において、先入れ先出し機能を有したメモリ内にヘッダー情報をセッティングする段階と、呼の接続要求が発生したときに前記メモリの記憶状態を検査する段階と、前記メモリの記憶状態が空の状態でない場合に該メモリに記憶されているヘッダー情報を読出して接続要求に対応するインタフェースに伝送する段階と、呼の解除要求が発生したときにその解除要求された呼に使用されていたヘッダー情報を前記メモリに記憶する段階と、を少なくとも実行することを特徴とする。

【0012】また、割当を行う割当装置について、ヘッダー情報を書込制御信号に回答して記憶すると共に読出制御信号に回答して読出す先入れ先出し機能を有するメモリと、前記メモリの入力端及び出力端にそれぞれ接続され、与えられるクロックに回答してヘッダー情報をラッチするためのラッチ部と、ATM交換機内のインタフェース部と連絡し、インタフェース部からの呼の接続要求に回答して前記メモリの記憶状態を検査した後、前記クロック及び読出制御信号を発生すると共に前記メモリから読出されたヘッダー情報をインタフェース部に伝送し、また呼の解除要求に回答して前記クロック及び書込制御信号を発生すると共に解除要求された呼に使用されていたヘッダー情報を前記メモリに送る呼制御部と、を備えて構成することを特徴とする。

【0013】このような本発明によれば、特に、先入れ先出し (First In First Out: FIFO) 型のメモリのもつ本質的な機能を利用してフリー状態にあるVPI及びVCIを書込まれた順に読出すことが可能となり、フリーの状態にあるものを特別に探す必要がなく、前述の本発明の目的を達成することが可能となる。

【0014】

【実施例】以下、本発明の好適な一実施例を添付の図面を参照して説明する。本実施例では、本発明に係る装置の型式などを本発明の確実な理解のために詳細に説明する。ただし、既によく知られた回路については、適宜説明を省略する。

【0015】図1に、この例におけるATM交換機の構造を示す。このATM交換機500は、多数の加入者から発生される呼をATMチャンネルを通じて別のATM交換機に伝送し、またチャンネルを通じて受信される呼を該当加入者に接続するために、システム制御部100、ATMスイッチ部110、維持補修部120、ラインインタフェース部130、そしてトランクインタフェース部140を有している。

【0016】システム制御部100は、ATMシステムの交換動作を全体的に制御し、ラインインタフェース部130及びトランクインタフェース部140内に設けられたコントローラと通信を行う。また、このシステム制御部100は、呼の制御に関連したCAC (Call Admission Control)、CC (Congestion Control)、そして本発明に係るセル内のVP I及びVC Iの割当を遂行する。CACは、呼の接続要求が発生したとき、その呼に対するサービスが可能であるかどうかを判断する機能であって、その判断に対するパラメータとしては、サービス帯域幅 (bandwidth)、伝送遅延、及びセル損失率などが用いられる。CCは、呼のふくそう (congestion) が発生したとき、あるいは発生する前に遂行される機能である。そして、VP I及びVC Iの割当制御は、呼の接続要求に応答してVP I及びVC Iを含むヘッダー情報を帯域幅を考慮して割当てる機能である。このような機能をもつシステム制御部100は、ATMスイッチ部110、維持補修部120、ラインインタフェース部130、及びトランクインタフェース部140と、それぞれラインL1〜L4を介して連絡し、各部に対する必要な制御信号及びデータの提供と、各部からのデータの受信を行う。

【0017】ATMスイッチ部110は、システム制御部100からの制御信号に応答してATMセルの交換機能を遂行する。そのスイッチのタイプは、時分割スイッチ (time division switch) 及び空間分割スイッチ (space division switch) からなっている。このATMスイッチ部110内のスイッチ数は、加入者数、トランクインタフェース部140内のトランク数、及びその他ポート数の総計から提供される。

【0018】維持補修部120は、システムの全般的な管理と維持補修機能をシステム制御部100の制御下に遂行し、その機能としては、ラインの状態点検、エラー検出、故障修復、さらに、ATM機能と関連したセルのリソース管理及び加入者データベース管理が含まれている。

【0019】ラインインタフェース部130は多数のラ

インインタフェースユニットL I U # 1 ~ L I U # Nを有する信号伝送部であり、多数の加入者回線をATMスイッチ部110に対して円滑に接続する機能を遂行する。また、このラインインタフェース部130は、ATM物理階層、ATM階層、及びAAL (ATM Adaptation Layer) に従う機能を遂行し、さらに、UPC (Usage Parameter Control) 機能も遂行する。このUPC機能は、CACを実行するときに、加入者の設定したパラメータ値を基準として、加入者が呼接続情報を伝送しているかどうかを監視する機能である。

【0020】トランクインタフェース部140はトランクインタフェースユニットT I U # 1 ~ T I U # Lを有する信号伝送部であり、ATMチャンネルを通じて別の交換機のセルと接続する機能を遂行する。

【0021】先に説明したようにシステム制御部100は、呼の接続要求に応答し、帯域幅を考慮してVP I及びVC Iを含むヘッダー情報を割当てる機能を遂行するものであるが、本発明においては、フリー状態にあるVP I及びVC Iの探索動作を行わずともVP I及びVC Iを割当てられるようになっており、その負担を減少させている。このような割当動作を遂行するための割当装置の実施例を図2に示す。この図2に示すような割当装置はシステム制御部100の外部又は内部に設置可能である。

【0022】図2には、本発明に係る割当装置の実施例をブロック図で示している。この割当装置は、呼制御部200と、FIFOメモリ210と、ラッチ部211、212とを含んでなっている。

【0023】呼制御部200には、図1に示すシステム制御部100内の主な制御部を流用することができ、また必要な場合には、システム制御部100と通信する中央処理装置 (CPU) を呼制御部200として別途設けるようにしてもよい。例えば、呼制御部200とシステム制御部100とを流用する場合には、モトローラ社の68030シリーズを使用可能である。このような呼制御部200は、ATM交換機において、セル内のヘッダー領域に位置するヘッダー情報を呼の接続要求に対応して割当てるための全体的な動作を遂行する。この動作を遂行するため、呼制御部200はラインL1、L2を通じて交換機内の各インタフェース部130、140と連絡している。

【0024】呼制御部200は、各インタフェース部130、140からの呼の接続要求に応答してクロックCK2及び読出制御信号RCLOCKを発生し、そしてFIFOメモリ210から読出されたヘッダー情報をラインL1、L2へ伝送する。一方、呼の解除要求に応答してクロックCK1及び書込制御信号WCLOCKを発生し、そして解除要求された呼に使用されているヘッダー情報をFIFOメモリ210に印加する。

【0025】FIFOメモリ210は、固有の値をもつ



ヘッダー情報を呼制御部 200 の書込制御信号 W C L O C K に応答して記憶し、読出制御信号 R C L O C K に応答して読出す。図 2 では詳細を省略しているが、F I F O メモリ 210 の書込及び読出制御端子 W / R は分離されていてもよい。また、この F I F O メモリ 210 には、メモリ内のデータ記憶状態を示すためのエンプティ一端 E F を設けることもできるし、場合によってはエンプティ一端 E F 以外にも、フルフラグ F F、ハーフフラグ H F など示すような構成とすることもできる。F I F O メモリ 210 にエンプティ一端 E F が設けられない場合には、F I F O メモリ 210 の読出及び書込動作の回数とメモリ容量とを比較する回路を更に設けてデータ記憶状態を検査することができる。一般的には、F I F O 機能を有するメモリにおいてデータ記憶状態を示すフラグ領域を設定することは既に広く行われている。この F I F O メモリ 210 の容量は、前述の U N I の場合に使用される情報をすべて記憶するためには 48 メガバイト (MByte) 程度が必要となり、前述の N N I の場合には 1 ギガバイト (GByte) 程度が必要となる。

【0026】ラッチ部 211、212 は、図 2 に示すように F I F O メモリ 210 の入力端 D I と出力端 D O とにそれぞれ接続され、印加されるクロック C K 1、C K 2 に応答してヘッダー情報をラッチする。これらラッチ部 211、212 は、一般的な D 形フリップフロップを用いて構成可能である。

【0027】この実施例における C C I T T の I、361 勧告に従う ATM セルの 2 タイプの構造を図 3 A 及び図 3 B に示す。図 3 A は、U N I で使用されるセル構造を示し、図 1 に示したラインインタフェース部 130 に適用される。図 3 B は、N N I で使用されるセル構造を示し、図 1 に示したトランクインタフェース部 140 に適用される。

【0028】図 3 A では、ATM セルのサイズは総 53 バイトで構成され、5 バイトのヘッダー領域 300 と、48 バイトの使用者情報領域 310 とをもっている。ヘッダー領域 300 は、情報流 (information stream) 内に存在する ATM セルの中の同じ仮想チャンネルに属するセルを区別するため使用される。ヘッダー領域 300 において、G F C (Generic Flow Control) は、加入者からのトラフィック (traffic) に対する流れ制御のためのもので、4 ビットが割当てられる。V P I は、同じ物理的媒体を通じて伝送される仮想チャンネルのグループを探索可能とする経路識別手段を提供するもので、8 ビットが割当てられる。V C I は、仮想チャンネルを識別可能とする手段を提供するもので、16 ビットが割当てられる。P T (Payload Type) は、料金負担の種類を示し、セルが使用者情報又は通信網情報のどちらを含むかを区別するために使用され、3 ビット程度が割当てられる。C L P (Cell Loss Priority) は、セルの損失に対する優先順位を現すために使用され、1 ビット程度が

割当てられる。H E C (Header Error Control) は、ヘッダーのエラーを制御するために使用され、所定的方式に則ってセル情報全体の 1 ビットエラーを訂正するように 1 バイトが割当てられる。この H E C コード生成多項式は  $X^8 + X^2 + X + 1$  が使用される。尚、U N I の場合に V P I 及び V C I に割当てられるビット数は総 24 ビットであることが分かる。

【0029】図 3 B では、ATM セルのサイズは総 53 バイトで構成され、5 バイトのヘッダー領域 301 と、48 バイトの使用者情報領域 311 とをもっている。この場合に V P I 及び V C I に割当てられるビット数は、総 28 ビットであることが図 3 B を参照すると理解できる。

【0030】ここで、図 2 に示す割当装置は図 4 の制御フローに従って動作する。すなわち、図 2 に示した呼制御部 200 は、V P I 及び V C I を含むヘッダー情報を、フリー状態にあるヘッダー情報を特に探すことなく入力された呼に割当てるために、図 4 に示すような過程を実行する。

【0031】まず、ステップ 402 において F I F O メモリ 210 を初期化する。この初期化は、V P I 及び V C I を含んだヘッダー情報の各固有値をメモリ内にセッティングする作業を含んでいる。次いでステップ 404 で、ライン L 1、L 2 から入力される呼を検査する。このステップ 404 で呼の接続要求が感知されると、ステップ 406 が遂行される。

【0032】ステップ 406 は F I F O メモリ 210 の記憶状態を検査する段階である。すなわち、呼制御部 200 が、メモリのエンプティ一端 E F から、現時点で記憶されているヘッダー情報の状況を検査する。この検査により、フリー状態にある V P I 及び V C I があるかどうか検査される。このステップ 406 で、F I F O メモリ 210 がヘッダー情報を有しているとステップ 410 が実行され、ヘッダー情報がなければステップ 408 が実行される。

【0033】ステップ 408 に行く場合は、これ以上割当てるヘッダー情報がないため呼のふくそう処理が実行される。一方、ステップ 410 に行く場合は、V P I 及び V C I の値が読出される。このステップは、呼制御部 200 が読出制御信号 R C L O C K を F I F O メモリ 210 に与えた後にクロック C K 2 をラッチ部 212 へ印加することによって実行される。読出された V P I 及び V C I を含んだヘッダー情報は、ステップ 412 で、接続要求に対応するインタフェース部 (130、140) にライン (L 1、L 2) を通じて伝送される。

【0034】ステップ 414 では、呼制御部 200 が呼の接続解除要求の発生を検査する。そしてステップ 416 で、呼の解除要求に応じて、解除要求された呼に使用されていたヘッダー情報を F I F O メモリ 210 に書込む。この動作は、呼制御部 200 がクロック C K 1 をラ

ッチ部211に与えた後に書込制御信号WCLOCKをFIFOメモリ210へ印加することによって実行される。つまり、解除されたVPI及びVCIを含むヘッダ情報は、ラインL11を通じてラッチされた後、書込制御信号WCLOCKの発生に伴ってFIFOメモリ210に記憶される。

【0035】以上、本発明の実施例について図面を参照して限定的に説明したが、本発明はこれに限られるものではなく、その他にも本発明の技術的な思想を外れない範囲で各種実施例があることは勿論である。

#### 【0036】

【発明の効果】以上述べてきたように本発明によれば、フリーの状態にあるVPI及びVCIを含んだヘッダ情報を、FIFOメモリの本質的な機能を用いて書込まれた順に読出すようにしたことで、従来のようにフリー状態のヘッダ情報をわざわざ特別に探す必要がなくなり、ATM方式において伝送される呼の処理速度を格段に向上させることができる。さらに、非同期伝送システムにおけるフリー状態にある仮想経路及び仮想チャンネル識別子の探査について、呼処理部の負担を増すことな

く高速化することができるという利点をもっている。

#### 【図面の簡単な説明】

【図1】本発明の実施例におけるATM交換機の構造を示すブロック図。

【図2】本発明に係るVPI及びVCIの割当装置の実施例を示すブロック図。

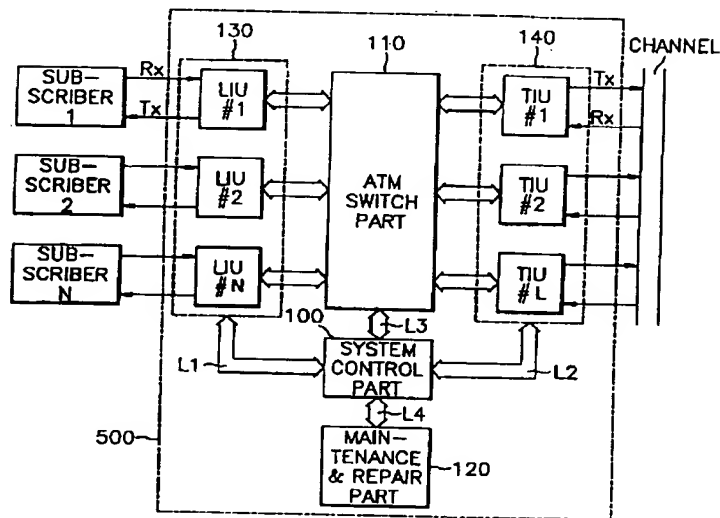
【図3】本発明の実施例におけるATMセルの構造を示す説明図。

【図4】図2に示す割当装置の動作を説明するフローチャート。

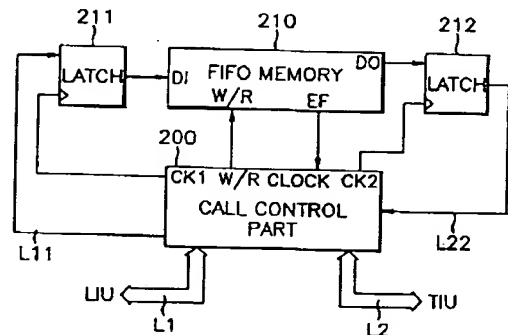
#### 【符号の説明】

- 100 システム制御部
- 110 ATMスイッチ部
- 120 維持補修部
- 130 ラインインタフェース部
- 140 トランクインタフェース部
- 200 呼制御部
- 210 FIFOメモリ
- 211、212 ラッチ部
- 500 ATM交換機

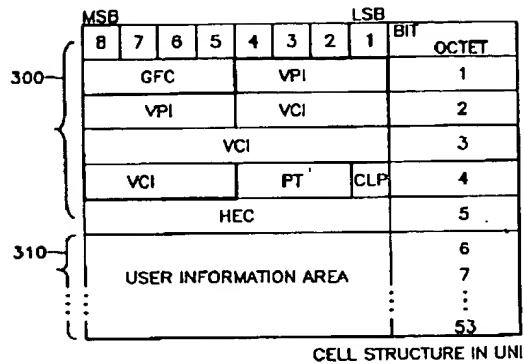
【図1】



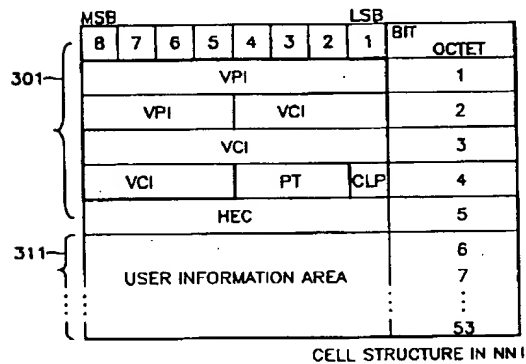
【図2】



【図3】

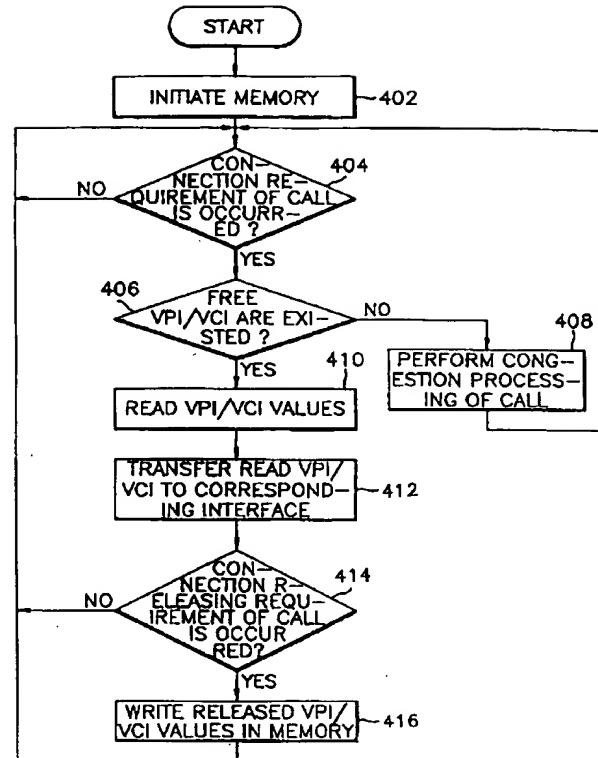


A



B

【図4】



フロントページの続き

(72) 発明者 姜 秉昌

大韓民国ソウル特別市松坡区可樂2洞199

番地プラザアパート9棟901号

**THIS PAGE BLANK (USPTO)**